

SURFACE PROCESSING OF SEMICONDUCTOR AND SEMICONDUCTOR DEVICE

Patent Number: JP9232482
Publication date: 1997-09-05
Inventor(s): ISHIHARA YASUO; SAKANO YOSHIKAZU; KONDO KENJI
Applicant(s): DENSO CORP
Requested Patent: JP9232482
Application Number: JP19960036138 19960223
Priority Number(s):
IPC Classification: H01L23/34; H01L21/302
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To enhance the effect of heat radiation part of a semiconductor device.
SOLUTION: The exposed surface of a silicon wafer 12a is dry-etched by a reactive dry-etching device in an etching gas containing excessive oxygen to oxidize a silicon compound produced by reaction with the etching gas to be deposited on the surface of the silicon wafer 12a for using the deposited silicon compound as a masking member for the etching step so that numerous fine silicon columnar protrusions using the masking member as the vertexes when the etching step is continued may be formed. Through these procedures, the surface area of the heat radiation parts 3 of a semiconductor chip 1 can be rapidly increased thereby enabling the radiating effect to be enhanced.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-232482

(43)公開日 平成9年(1997)9月5日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/34			H 0 1 L 23/34	A
21/302			21/302	

審査請求 未請求 請求項の数6 O L (全 7 頁)

(21)出願番号 特願平8-36138

(22)出願日 平成8年(1996)2月23日

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 石原 康生

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(72)発明者 坂野 芳和

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(72)発明者 近藤 憲司

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

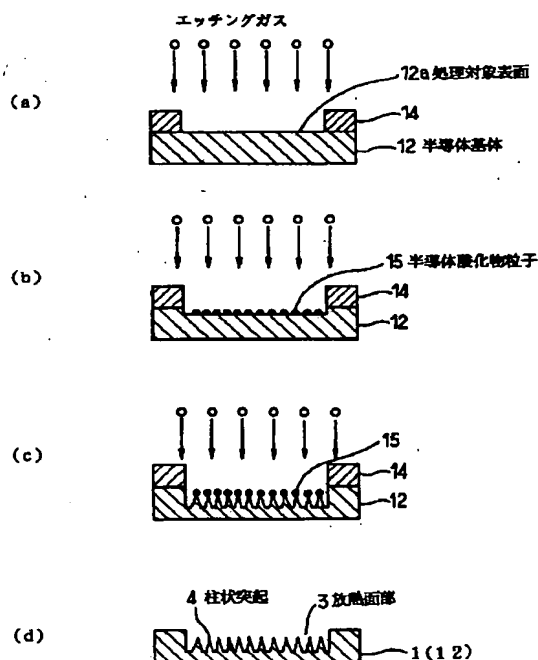
(74)代理人 弁理士 佐藤 強

(54)【発明の名称】 半導体の表面処理方法および半導体装置

(57)【要約】

【課題】 半導体チップの放熱部の放熱効果を増大させる。

【解決手段】 酸素が過剰に含まれるエッチングガス中で反応性ドライエッチング装置により、シリコンウエハ12a上の露出面をドライエッチング処理を行うことにより、エッチングガスと反応して生成されるシリコン化合物を酸化させてシリコン上は12aの表面に堆積させ、これをエッチングのマスク部材として利用することにより、エッチング処理を継続したときにその部分を頂点とした微小なシリコン柱状突起4を多数形成する。これにより、半導体チップ1の放熱部3の表面積を飛躍的に増大させることができ、放熱効果を向上させることができる。



【特許請求の範囲】

【請求項1】 半導体基体の処理対象表面に微小な半導体酸化物粒子をマスク部材として配置した状態でドライエッチング処理をすることによりその処理対象表面に多数の微小な柱状突起を形成することを特徴とする半導体の表面処理方法。

【請求項2】 前記半導体酸化物粒子は、前記ドライエッチング処理を過酸素雰囲気中で行うことにより、ドライエッチング処理中に発生する半導体化合物を酸化させて生成し、これを前記処理対象表面に残留させることで配置させるようにしたことを特徴とする請求項1記載の半導体の表面処理方法。

【請求項3】 半導体基板上に形成された半導体素子を有する半導体装置において、請求項1または2記載の半導体の表面処理方法により微小な柱状突起が多数形成された放熱面を備えていることを特徴とする半導体装置。

【請求項4】 前記放熱面と面接触するように形成された放熱用熱伝導膜を備えたことを特徴とする請求項3記載の半導体装置。

【請求項5】 半導体基板上に形成された半導体素子を有する半導体装置において、電極用導電部材と電気的に接触する電極形成部を、請求項1または2記載の半導体の表面処理方法により微小な柱状突起が多数形成された状態に形成していることを特徴とする半導体装置。

【請求項6】 前記柱状突起は、高さ寸法が5～10 μ mで底面の径寸法が0.3～1.0 μ mの円錐もしくは円柱形状に形成されることを特徴とする請求項3ないし5のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の放熱効果を向上させたり、電極形成部の接触抵抗を低下させたりする場合の表面処理に好適な半導体の表面処理方法およびその半導体の表面処理方法を適用した半導体装置に関する。

【0002】

【発明が解決しようとする課題】近年、半導体素子においては集積回路の高密度、超微細化が進んでおり、シリコン半導体基板の内部構造における微細加工技術が進歩してきている。また、このような技術傾向に伴って、実装技術においても、実装密度を向上させるために、半導体チップをリードフレームに載置してボンディングワイヤで接続するという従来の方式から、半導体チップの表面の電極部分にAuバンプなどを形成して直接実装基板に接続するフリップチップ実装方式が用いられるようになってきている。

【0003】この場合に、半導体チップ内で発生する熱を放出するメカニズムとしては、従来方式のものにおい

てはリードフレームを介して放熱するヒートシンク構造となっているので放熱性の点では通常では問題がないが、フリップチップ実装方式では、半導体チップの裏面が露出した状態で実装されるので、その半導体チップ内部で発生する熱量が大きい場合には十分に外部に放熱しきれなくなると、その放熱性に問題が出てくる場合がある。

【0004】そこで、従来では、このようなフリップチップ実装方式の場合でも十分な放熱効果が得られるようにしたものと考えられている。すなわち、例えば、特開平6-120295号公報あるいは特開平6-140466号公報に示されるものでは、いずれのものにおいてもフリップチップ実装において半導体チップの裏面側からの放熱効果を向上させるために、フォトレジスト等により形成したパターンに基づいてエッチングを行うことにより凹状溝部を形成し、これによって放熱面の面積を増大させようとするものである。

【0005】しかしながら、上述のような従来構成のものでは、半導体チップの裏面に凹状溝部を形成する際に、フォトリソグラフィ工程を経るために、その凹状溝部のサイズはフォトリソグラフィのパターンに依存することになり、上述の例では、深さを50 μ mとしたときに表面積が2倍に、また深さを100 μ m程度としたときに表面積が3倍程度に増加させることができるが、全体として飛躍的な増加を達成するには至っていない。上記の例では、この点に鑑みて、さらに放熱板を裏面に取着することによりさらなる放熱効果の向上を図るようにしている。

【0006】また、上述の問題とは異なり、半導体集積回路の高密度集積化が進行するにしたがって、素子間を接続する電極金属を半導体表面に形成する際に、その電極形成部の面積も非常に狭くなってきている。したがって、シリコンなどの半導体の表面と電極金属との接触面積が狭くなるために、その部分での接触抵抗が増大することになり、電流容量が制約されてくるという問題がある。

【0007】本発明は、上記事情に鑑みてなされたもので、その目的は、半導体装置などの内部で発生する熱を効率良く放熱するための放熱部の表面積や電極形成部の表面積を飛躍的に増大させることが可能となる半導体の表面処理方法およびその方法を用いて形成した半導体装置を提供することにある。

【0008】

【課題を解決するための手段】請求項1の発明によれば、半導体基体の処理対象表面に半導体酸化物粒子を配置した状態でドライエッチング処理を行うことにより、その半導体酸化物粒子をマスク部材として作用させてエッチングを行うことができ、これによって半導体酸化物粒子の部分を中心として錐状をなす微小な柱状突起を多数形成することができるようになり、その表面積を大幅

に拡大することができるようになる。この結果、表面積を大きくする必要がある表面処理過程においては簡単にこれを形成することができるようになり、放熱面積や電極金属との接触面積の増大を図ることができるようになる。

【0009】請求項2記載の発明によれば、上述の表面処理過程で半導体基体に配置する半導体酸化物粒子をドライエッチング処理の過程で自動的に生成配置させることができる。すなわち、ドライエッチング処理の雰囲気酸素過剰な状態とすることにより、ドライエッチングによりエッチングガスと半導体基体が反応して生成する化合物をさらに酸化させることにより処理対象表面上に残留させることができるようになり、これによって自動的にマスク部材を配置させることができるようになる。

【0010】請求項3記載の発明によれば、半導体装置において、上述のようにして放熱面を形成しているもので、例えば、内部で発生する熱を放出する場合に重要な要素となる表面積を大幅に拡大させることができるようになり、熱抵抗を低下させて放熱効果を向上させることができるようになる。これによって、例えば、半導体装置を、いわゆるフェイスダウンでフリップチップ実装する場合でも、裏面側に放熱面を形成することで半導体装置の外部に効率良く放熱を行うことができるようになる。

【0011】請求項4記載の発明によれば、上記の構成に加えて、放熱面と面接触する状態で放熱用熱伝導膜を設けるので両者の間の熱伝導性を向上させることができ、内部で発生する熱の放熱効果を向上させることができ、さらには、多数の微小な柱状突起を機械的に保護することができるので、機械的強度の補強をすることもできるようになる。

【0012】請求項5記載の発明によれば、半導体基板に形成した半導体素子の電極形成部に電極用導電部材を形成するときに、電極形成部を前述のドライエッチング処理により多数の微小な柱状突起を形成した状態としているので、エッチング処理をしない場合に比べて両者の間の接触面積を大幅に増大させることができ、その接触抵抗を小さくすることができる。これにより、半導体素子の電気的特性の向上を図ることができると共に、通電時の接触抵抗による発熱を抑制することもできるようになる。

【0013】請求項6記載の発明によれば、柱状突起の寸法をこのように設定することで、機械的な損傷の発生を抑制しながら、放熱効果の向上および電気的特性の向上を図ることができる。

【0014】

【発明の実施の形態】以下、本発明をシリコン半導体素子に適用した場合の第1の実施例について図1ないし図3を参照しながら説明する。図3は本発明の半導体の表面処理方法を用いて放熱部を形成した半導体装置である

半導体チップ1の模式的な断面を示したもので、半導体チップ1の表面(下面)1a側には図示しない半導体素子が作り込まれており、その周囲部には外部に信号を取り出すための電極部が形成されている。電極部には、フリップチップ接合による実装用のパンプ2が形成されている。

【0015】半導体チップ1の裏面(上面)1b側には、放熱面である放熱部3が形成されている。この放熱部3には、図中に模式的に示すように、多数の微小なシリコン柱状突起4が形成されている。このシリコン柱状突起4は、本発明でいうところの半導体の表面処理方法であるドライエッチング処理により形成するもので、例えば、高さ寸法が5~10μmで、10μm×10μm四方の面内に100~300個程度形成されており、これによって、表面処理を行わない場合に比べて表面積が数百倍程度に増大されている。

【0016】このような半導体チップ1は、実装基板5の上面に対して半導体素子が形成された表面1a側を対向するようにして実装されており、実装基板5の上面に形成されている電極パターン6と半導体チップ1のパンプ2とが電気的に接触するように配置固定される。

【0017】この構成により、半導体チップ1の内部で発生した熱は放熱部3のシリコン柱状突起4から空気中に放出されるようになり、このとき、ドライエッチング処理をしていない平坦に形成された従来のものに比べてその表面積が数百倍程度大きくなっているため、その表面積の増大に比例して放熱効果が飛躍的に向上され、半導体装置としての特性も優れたものとなる。

【0018】さて、次に、上述の半導体チップ1の放熱部3の形成方法であるドライエッチング処理の内容について詳述する。図2にはドライエッチング装置としての反応性イオンエッチング装置(RIE: reactive ion etching)7の概略的な構成を示している。この図2において、ドライエッチング処理が行われる反応室8は、エッチングガスが導入される導入口8aが設けられると共に、排気減圧用のターボポンプ9を介して排気口8bが設けられている。

【0019】反応室8の内部の上下の各面には高周波電圧を印加するための電極板10a、10bが配置されている。これらの電極板10a、10b間には高周波電源11から高周波出力が印加されるようになっている。表面処理を行う半導体基体としてのシリコンウエハ12は下側の電極10b上に載置されるようになっている。また、反応室8の外周部にはマグネット13が配置され、反応室8内に磁界を作用させてプラズマを生成させるようになっている。

【0020】上記のドライエッチング装置7において、シリコンウエハ12が反応室8内の電極10b上に載置された状態で起動されると、反応室8内はターボポンプ9により排気され、真空中に引かれた状態でエッチングガ

スが導入口8aから所定量だけ導入される。そして、高周波電源11により高周波出力が電極10a、10b間に印加されると共にマグネット13により磁界が作用された状態とされると、反応室8内にプラズマが発生し、このプラズマによってシリコンウエハ12がエッチングされるようになる。

【0021】この場合、ドライエッチング装置7で実施するエッチング処理は異方性エッチングを行うためのものであるから、エッチングガスとしては、Br（臭素）*

エッチングガス	基準値	実施例
HBr	30～50 SCCM	40 SCCM
SiF ₄	8 SCCM	4 SCCM
He-O ₂	20 SCCM以上	20 SCCM
SF ₆	1 SCCM以下	1 SCCM

(SCCM: standard cubic centimeter per minit)

【0023】なお、上述のエッチングガスの条件においては、He-O₂ガスは下限値として20 SCCMが必要で、過剰に含んだ設定とするほどシリコン酸化物の生成量が多くなる。また、SF₆ガスは実際にはゼロであってもこのエッチング処理に差支えないので、1 SCCMを上

限値として設定している。
【0024】図1は、シリコンウエハ12の裏面側に放熱部3を形成する場合の過程を示すもので、図には1個の半導体チップ1に相当するシリコンウエハ12について示している。すなわち、同図(a)には、シリコンウエハ12の裏面12aつまり、図中上側の面が処理対象表面に相当しており、放熱部3を形成すべき所定の部位を露出させるようにフォトレジストパターン14が形成された状態のものが示されている。なお、このようなフォトレジストパターン14は必要に応じて設ければ良

く、全面に渡って放熱部を形成する場合には設ける必要はない。
【0025】次に、この状態のシリコンウエハ12をドライエッチング装置7の反応室8内の電極10bに載置し、ドライエッチング処理を開始させると、プラズマ状態のエッチングガスによりシリコンウエハ12の裏面12aの露出しているシリコンがエッチングガスと反応して化合物を形成し、この化合物は反応室8内に過剰に供給されている酸素と反応して半導体酸化物粒子であるシリコン酸化物15を形成する。このシリコン酸化物15は、微小な粒状をなすもので、シリコンウエハ12の裏面12a上に一面に散在するようになる(同図(b)参照)。

【0026】なお、通常のドライエッチング処理過程においては、酸素が過剰に含まれる状態ではないので、化合物はシリコンウエハ12から離れた領域に散逸するが、そのうちの一部は酸化することがある。しかし、シリコン酸化物が発生してもその量は少なく、通常はエッチングされた側壁部分に堆積するので、エッチング処理が進行中のシリコンウエハ12のエッチング面に残留す

*系のエッチングガス、F（フッ素）系のエッチングガスおよび酸素(O₂)を含んだ混合ガスを用い、特に、このエッチング処理過程においては、酸素を過剰に含むエッチングガスを採用しており、シリコン酸化物の微粒子が析出する条件とされている。

【0022】具体的エッチング条件を示す。反応室8内の圧力は、100±20 mTorrを基準とし、実際には100 mTorrに設定している。次に、エッチングガスの組成について示す。

ることとはない。換言すれば、このようにシリコン酸化物15がエッチング中のシリコンウエハ12上に残留することは、通常のエッチング処理では望ましくない現象であるが、本発明においては、逆に、このような現象を積極的に発生させる条件を設定することにより成し得たものである。

【0027】上述の状態ですらにエッチング処理が進行すると、シリコンウエハ12上に残留したシリコン酸化物15は、ドライエッチング処理におけるマスク部材として機能することになり、したがって、シリコン酸化物15が位置している部分を除いて下方にエッチングが進行していく。これにより、同図(c)に示すように、シリコン酸化物15の位置している部分を頂点とした円錐状のシリコン柱状突起4が多数形成されるようになる。

【0028】この後、フォトレジストパターン14をシリコン酸化物15と共に除去すると、シリコンウエハ12aの裏面に放熱部3が形成された状態となり、これをチップに切断することにより、前述の半導体チップ1が得られるようになる(同図(d)参照)。なお、上述の状態においては、例えば、シリコンウエハ12aの裏面には、5～10 μmのシリコン柱状突起4が10×10 μmの領域内に100～300個程度形成される。そして、これによって実質的に表面積を数百倍に飛躍的に増大させることができる。

【0029】この場合、放熱部3の表面積は、シリコン柱状突起4を微小な円錐と考えると、ドライエッチング処理をしない場合には円錐の底面の面積に相当し、ドライエッチング処理を行うことにより円錐面の面積に相当するようになる。したがって、その表面積の比は、概略的には底面の半径に対するエッチング深さ寸法となり、微小な円錐を高く形成するほど放熱部3の表面積を増大させることができるようになる。

【0030】このような本実施例によれば、酸素を過剰に含んだエッチングガスを使用してR I Eドライエッチング処理を行うことにより、半導体チップ1の裏面の放

熱部3の表面に微小なシリコン柱状突起4を多数形成することができ、これによって放熱部3の表面積を飛躍的に増大させてその放熱効果の増大を図ることができるようになる。

【0031】図4および図5は本発明の第2の実施例を示すもので、第1の実施例と異なるところは、半導体チップ1の放熱部3に熱伝導膜16を形成したところである。すなわち、第1の実施例のようにして半導体チップ1上に形成された放熱部3のシリコン柱状突起4の部分

を覆うようにして銅(Cu)や金(Au)などの熱伝導性の高い金属薄膜が真空蒸着やCVD(chemical vapor deposition)法あるいはメッキ処理などによって形成されたものである。

【0032】図5はこのようにして得られた半導体チップ17を実装基板5に実装した状態で示すもので、このようなフリップチップ方式の実装においては、半導体チップ17内で発生する熱は放熱部3の多数のシリコン柱状突起4を介して熱伝導膜16に伝わり易くなるので、全体としての放熱効果は一層向上するようになる。また、このように熱伝導膜16を形成することによりシリ

コン柱状突起4が機械的に補強されることになるので、衝撃に対する強度が高くなる。

【0033】図6は本発明の第3の実施例を示すもので、第2の実施例と異なるところは、図5に示した実装状態の半導体チップ17を絶縁性の樹脂18により被覆したところである。この場合、半導体チップ17の放熱部3から熱伝導膜16を介した外部への放熱効果を高くするために、実装基板5と熱伝導膜16との間に熱伝導性の高い銅(Cu)あるいは金(Au)などのワイヤ19が例えば複数本接続されている。

【0034】これによって、熱伝導膜16から樹脂18を介して外部に放熱する機能に加えて、ワイヤ19を介して実装基板5側に熱を放出することができるようになり、一層放熱効果の向上を図ることができるようになる。

【0035】図7は本発明の第4の実施例を示すもので、以下、上述の各実施例と異なる部分について説明する。すなわち、このものは、例えばMOSFETを例にとって示すと、半導体素子に形成する金属電極をシリコン基板の表面に形成する際に、そのシリコン基板の電極形成部に上述したドライエッチング処理を行うことにより、その電極形成部に柱状のシリコン突起を形成するものである。

【0036】これは、例えば、図7に示すMOSFET 20では、ゲート21、22の間の領域に電極形成部であるコンタクトホール23が配置されており、このコンタクトホール23を介してシリコンウエハ24に電極となる配線用の金属である例えばアルミニウム(Al)25を設けるものである。ゲート21、22のそれぞれにはゲート酸化膜26a、26bがこれらを覆うようにに

けられており、それらの上に層間絶縁膜27が形成され、コンタクトホール23はその層間絶縁膜27の一部を開口させて形成したものである。

【0037】この場合、コンタクトホール23部分を開口して露出した状態で、第1の実施例で述べたような酸素過剰な雰囲気中でドライエッチング処理を行うことにより、コンタクトホール23部分のシリコンウエハ24上に多数の微小なシリコン柱状突起4を形成することができる。これにより、電極金属のアルミニウム25を真空蒸着などの方法により積層したときに、シリコンウエハ24とアルミニウム25との間の接触面積が、その部分に介在されるシリコン柱状突起4により飛躍的に増大されることになり、その表面積が増大した分だけ接触抵抗の大きさも低減させることができるようになり、換言すれば、狭いコンタクトホール23としながら、接触抵抗の低い良好なオーミックコンタクトを得ることができるようになる。

【0038】本発明は、上記実施例にのみ限定されるものではなく、次のように変形また拡張できる。ドライエッチング処理の前に別途に半導体酸化粒子であるシリコン酸化物粒子を配置するようにしても良い。ドライエッチング処理の時間やエッチングガスの設定条件は適宜変更設定することができる。フリップチップ方式で実装する以外のものでも適用できる。パワー素子(パワートランジスタ、MOSFET、IGBTなど)や大電流用のICチップなどで大きな効果が得られるが、他の半導体素子やICチップに適用することもできる。

【図面の簡単な説明】

【図1】本発明の第1の実施例における柱状突起の形成過程を示す模式的断面図

【図2】ドライエッチング装置の概略的構成図

【図3】基板に実装した状態で示す模式的断面図

【図4】本発明の第2の実施例を示す熱伝導膜を形成した状態で示す模式的断面図

【図5】図3相当図

【図6】本発明の第3の実施例を示す図3相当図

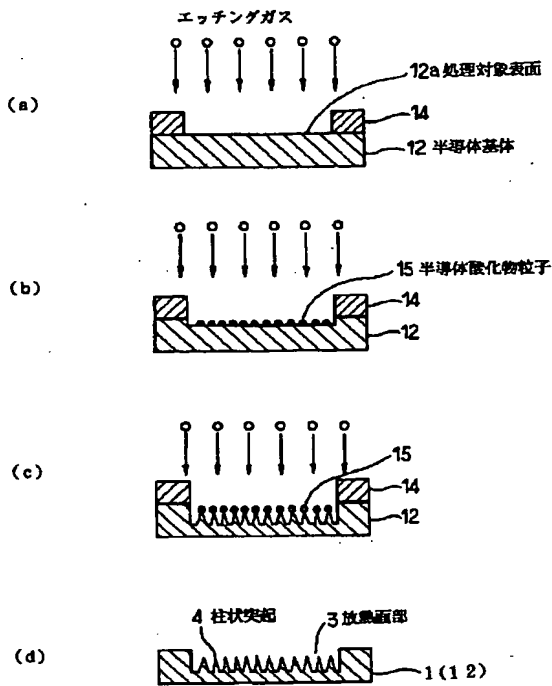
【図7】本発明の第4の実施例を示す電極形成部の模式的断面図

【符号の説明】

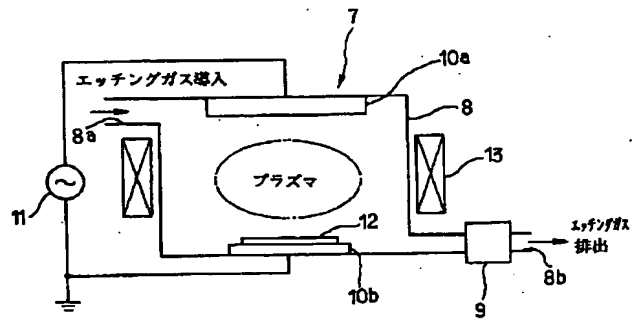
1、17は半導体チップ(半導体装置)、2はパンプ、3は放熱部(放熱面)、4はシリコン柱状突起、5は実装基板、6は電極パターン、7は反応性イオンエッチング装置、(ドライエッチング装置)、8は反応室、9はターボポンプ、10a、10bは電極板、11は高周波電源、12はシリコンウエハ(半導体基体)、13はマグネット、14はフォトリソパターン、15はシリコン酸化物、16は熱伝導膜、18は樹脂、19はワイヤ、20はMOSFET(半導体装置)、21、22はゲート、23はコンタクトホール、24はシリコンウエハ、25は電極金属、26a、26bはゲート酸化

膜、27は層間絶縁膜である。

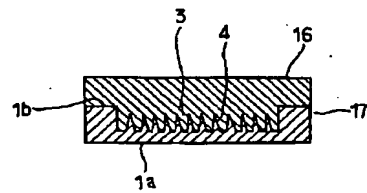
【図1】



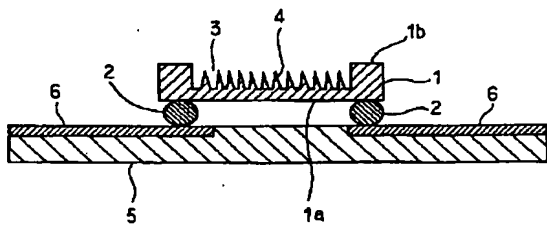
【図2】



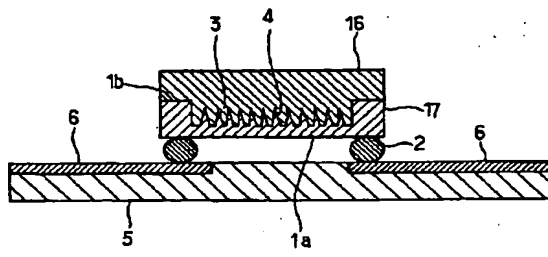
【図4】



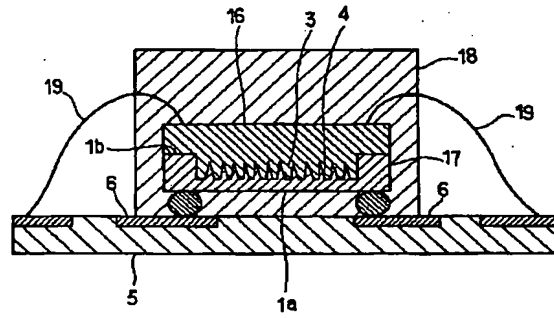
【図3】



【図5】



【図6】



【図7】

